

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Satoru TANIGAWA et al. :
Serial No. NEW : **Attn: APPLICATION BRANCH**
Filed August 11, 2003 : Attorney Docket No. 2003_1128A

CLOCK CONVERSION APPARATUS,
CLOCK CONVERSION METHOD, VIDEO
DISPLAY APPARATUS, AND MEMORY
ADDRESS SETTING METHOD

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975


Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2002-235019, filed August 12, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Satoru TANIGAWA et al.

By 
David M. Ovedovitz
Registration No. 45,336
for
Jeffrey R. Filipek
Registration No. 41,471
Attorney for Applicants

DMO/JRF/jmj
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
August 11, 2003

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月12日

出願番号

Application Number:

特願2002-235019

[ST.10/C]:

[JP2002-235019]

出願人

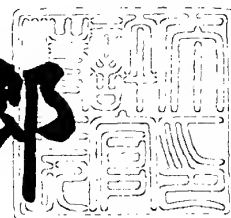
Applicant(s):

松下電器産業株式会社

2003年 3月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3017754

【書類名】 特許願

【整理番号】 2037840115

【提出日】 平成14年 8月12日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/262

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 谷川 悟

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 岡田 伸隆

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100081813

 【弁理士】

 【氏名又は名称】 早瀬 憲一

 【電話番号】 06(6395)3251

【手数料の表示】

 【予納台帳番号】 013527

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9600402

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック変換装置およびクロック変換方法

【特許請求の範囲】

【請求項1】 第1のクロックに同期したデータを第2のクロックに同期したデータに変換するクロック変換装置であって、

所定期間分内のデータの記憶に要するアドレスよりも少ないアドレスを有し、書き込み用クロックと読み出し用クロックにより書き込み動作と読み出し動作が互いに独立して実行可能なメモリと、

上記第1のクロックをカウントし、所定期間内分のデータを複数回にわけて上記メモリに書き込みを可能とするように、上記メモリの書き込みアドレスを作成する第1のカウンタ回路部と、

上記第2のクロックをカウントし上記メモリの読み出しアドレスを作成する第2のカウンタ回路部とを備えた、

ことを特徴とするクロック変換装置。

【請求項2】 第1のクロックに同期したデータを第2のクロックに同期したデータに変換するクロック変換装置であって、

所定期間分内のデータの記憶に要するアドレスよりも少ないアドレスを有し、書き込み用クロックと読み出し用クロックにより書き込み動作と読み出し動作が互いに独立して実行可能なメモリと、

上記メモリの書き込み開始基準タイミングを示す書き込み開始基準信号の入力により上記第1のクロックのカウントを開始し、所定期間内分のデータを複数回にわけて上記メモリに書き込みを可能とするように、上記メモリの書き込みアドレスを作成する第1のカウンタ回路部と、

上記メモリの読み出し開始基準タイミングを示す読み出し開始基準信号から上記第2のクロックをカウントし上記メモリの読み出しアドレスを作成する第2のカウンタ回路部とを備えた、

ことを特徴とするクロック変換装置。

【請求項3】 第1のクロックに同期したデータを第2のクロックに同期したデータに変換するクロック変換装置であって、

所定期間内のデータの記憶に要するアドレスよりも少ないアドレスを有し、書き込み用クロックと読み出し用クロックにより書き込み動作と読み出し動作が互いに独立して実行可能なメモリと、

上記メモリの書き込み開始基準タイミングを示す書き込み開始基準信号の入力により上記第 1 のクロックのカウントを開始し、所定期間内分のデータを複数回にわけて上記メモリに書き込みを可能とするように、上記メモリの書き込みアドレスを作成する第 1 のカウンタ回路部と、

上記メモリの読み出し開始基準タイミングを示す読み出し開始基準信号から上記第 2 のクロックをカウントし上記メモリの読み出しアドレスを作成する第 2 のカウンタ回路部と、

上記書き込み開始基準信号を遅延し上記読み出し開始基準信号を生成する、遅延時間が調整可能な遅延調整回路とを備えた、

ことを特徴とするクロック変換装置。

【請求項 4】 請求項 3 記載のクロック変換装置において、

上記書き込みアドレスの最大値の倍数が上記所定期間内に上記第 1 のクロックでサンプリングされたデータのサンプル数付近となる書き込みアドレス数を用いて上記メモリに記憶し、

上記読み出しアドレスの最大値の倍数が上記第 2 のクロックでサンプリングされたデータのサンプル数付近となる読み出しアドレス数を用いる、

ことを特徴とするクロック変換装置。

【請求項 5】 請求項 3 記載のクロック変換装置において、

上記書き込みアドレスの最大値の倍数が上記所定期間内に上記第 1 のクロックでサンプリングされたデータのサンプル数付近となる書き込みアドレスを用いて上記メモリに記憶し、

上記書き込みアドレスの最大値と最大値が等しい読み出しアドレスを用いることを特徴とするクロック変換装置。

【請求項 6】 請求項 1 ないし 5 のいずれかに記載のクロック変換装置において、

上記所定期間は 1 水平同期期間である、

ことを特徴とするクロック変換装置。

【請求項 7】 請求項 1 ないし 5 のいずれかに記載のクロック変換装置において、

上記第 1 のカウンタ回路部は、

上記第 1 のクロックをカウントして、上記書き込みアドレスを作成する書き込みアドレスカウンタと、

上記書き込みアドレスカウンタが出力した書き込みアドレスと設定可能な書き込み最大値とを比較し、当該書き込みアドレスと書き込み最大値とが等しくなった時に上記書き込みアドレスカウンタをリセットする書き込み最大値リミッタとを有する、

ことを特徴とするクロック変換装置。

【請求項 8】 請求項 1 ないし 5 のいずれかに記載のクロック変換装置において、

上記第 2 のカウンタ回路部は、

上記第 2 のクロックをカウントし、複数回にわけて上記メモリに書き込まれた所定期間内分のデータの読み出しを可能とするように、上記メモリの読み出しアドレスを作成する、

ことを特徴とするクロック変換装置。

【請求項 9】 請求項 8 記載のクロック変換装置において、

上記第 2 のカウンタ回路部は、

上記第 2 のクロックをカウントして、上記読み出しアドレスを作成する書き込みアドレスカウンタと、

上記読み出しアドレスカウンタが出力した読み出しアドレスと設定可能な読み出し最大値とを比較し、当該読み出しアドレスと読み出し最大値とが等しくなった時に上記読み出しアドレスカウンタをリセットする読み出し最大値リミッタとを有する、

ことを特徴とするクロック変換装置。

【請求項 10】 第 1 のクロックに同期したデータを第 2 のクロックに同期したデータに変換するクロック変換方法であって、

所定期間内のデータの記憶に要するアドレスよりも少ないアドレスを有し、書き込み用クロックと読み出し用クロックにより書き込み動作と読み出し動作が互いに独立して実行可能なメモリに対し、所定期間内のデータを複数回にわけて書き込みを行うように上記第 1 のクロックに基づいて書き込みアドレスを発生し、

上記所定期間分のデータを上記メモリより複数回にわけて読み出しを行うように上記第 2 のクロックに基づいて読み出しアドレスを発生する、

ことを特徴とするクロック変換方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、第 1 のクロックで処理されたデジタル信号を、メモリを用いて第 2 のクロックの処理へ変換する際に用いるクロック変換装置およびクロック変換方法に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、テレビジョン受像機において映像信号の高画質化、高機能化を実現するために、デジタル信号処理技術を用いた映像信号処理が多用されるようになってきた。また、デジタル映像信号処理を行なう際に異なるクロック間でのデジタルデータの受け渡し、あるいは画像サイズを変更させる為に入力映像信号を水平方向に圧縮処理したり、拡大処理したりするようになり、これを実現するために、異種クロック間のデジタルデータの受け渡しができるクロック変換装置が重要視されてきている。

【 0 0 0 3 】

入力映像信号の拡大縮小処理については、例えば特開平 8 - 2 2 3 4 7 9 号公報に示された「サンプリング周波数変換回路」では、書き込み及び読み出しを異なる周波数のクロックで動作させることのできる 1 ラインメモリと、デジタル映像信号を水平方向に縮小処理もしくは拡大処理する補間演算回路とを用いて水平方向に拡大縮小する処理を行っていた。

【 0 0 0 4 】

即ち、この従来のクロック変換装置では、周波数変換比と拡大もしくは縮小の倍率を合成した補間係数が“1”未満のときは、先に該補間係数で縮小補間処理を行ってから、ラインメモリに書き込んで読み出し、逆に合成した補間係数が“1”以上のときは、ラインメモリから読み出した後、該補間係数で拡大補間処理を行うという動作を、書き込み側は変換前クロック、読み出し側は変換後クロックで行うことにより、水平拡大縮小処理とサンプリング周波数変換とを同時に行い、サンプリング周波数変換と画像の水平方向の拡大もしくは縮小処理を行う必要のあるデジタル映像信号処理において、水平解像度の劣化を小さく抑えることができる。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、上記従来のクロック変換装置では、デジタル信号を水平方向に圧縮拡大処理する際に水平1ライン期間のデータを保持できる1ラインメモリが必要であり、回路規模が大きくなるという問題があった。

【 0 0 0 6 】

また、NTSC、PAL、SECAMなどの各放送方式の間では、処理クロック周波数や水平周波数の違いにより1ライン期間のメモリサイズが異なっており、全ての放送方式に対応する場合にはメモリサイズを最も大きいものに合わせる必要があり、その分回路規模が大きくなるという問題があった。

【 0 0 0 7 】

本発明は、上記従来の問題点を解決するためになされたもので、水平方向の圧縮拡大処理を行う場合や異種クロック間でデジタル信号を受け渡しする際に、1水平ライン分のメモリを必要とせず、必要となるメモリサイズを大幅に削減することができるクロック変換装置およびクロック変換方法を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

この目的を達成するために、本発明の請求項1記載のクロック変換装置は、第

1のクロックに同期したデータを第2のクロックに同期したデータに変換するクロック変換装置であって、所定期間分内のデータの記憶に要するアドレスよりも少ないアドレスを有し、書き込み用クロックと読み出し用クロックにより書き込み動作と読み出し動作が互いに独立して実行可能なメモリと、上記第1のクロックをカウントし、所定期間内分のデータを複数回にわけて上記メモリに書き込みを可能とするように、上記メモリの書き込みアドレスを作成する第1のカウンタ回路部と、上記第2のクロックをカウントし上記メモリの読み出しアドレスを作成する第2のカウンタ回路部とを備えたものである。

前記構成により、水平同期期間内等の所定期間内分のデータをこれより容量の少ないメモリに複数回にわけて書き込むことで、メモリ容量を削減しつつ、メモリの書き込みデータと読み出しデータとがデータの追い越しや追い越されを生じたりすることなく、第1のクロックから第2のクロックへデータが変換される。

【0009】

本発明の請求項2記載のクロック変換装置は、第1のクロックに同期したデータを第2のクロックに同期したデータに変換するクロック変換装置であって、所定期間分内のデータの記憶に要するアドレスよりも少ないアドレスを有し、書き込み用クロックと読み出し用クロックにより書き込み動作と読み出し動作が互いに独立して実行可能なメモリと、上記メモリの書き込み開始基準タイミングを示す書き込み開始基準信号の入力により上記第1のクロックのカウントを開始し、所定期間内分のデータを複数回にわけて上記メモリに書き込みを可能とするように、上記メモリの書き込みアドレスを作成する第1のカウンタ回路部と、上記メモリの読み出し開始基準タイミングを示す読み出し開始基準信号から上記第2のクロックをカウントし上記メモリの読み出しアドレスを作成する第2のカウンタ回路部とを備えたものである。

前記構成により、水平同期期間内等の所定期間内分のデータをこれより容量の少ないメモリに複数回にわけて書き込むことで、メモリ容量を削減しつつ、メモリの書き込みデータと読み出しデータとがデータの追い越しや追い越されを生じたりすることなく、第1のクロックから第2のクロックへデータが変換される。

【0010】

本発明の請求項3記載のクロック変換装置は、第1のクロックに同期したデータを第2のクロックに同期したデータに変換するクロック変換装置であって、所定期間内のデータの記憶に要するアドレスよりも少ないアドレスを有し、書き込み用クロックと読み出し用クロックにより書き込み動作と読み出し動作が互いに独立して実行可能なメモリと、上記メモリの書き込み開始基準タイミングを示す書き込み開始基準信号の入力により上記第1のクロックのカウントを開始し、所定期間内分のデータを複数回にわけて上記メモリに書き込みを可能とするように、上記メモリの書き込みアドレスを作成する第1のカウンタ回路部と、上記メモリの読み出し開始基準タイミングを示す読み出し開始基準信号から上記第2のクロックをカウントし上記メモリの読み出しアドレスを作成する第2のカウンタ回路部と、上記書き込み開始基準信号を遅延し上記読み出し開始基準信号を生成する、遅延時間が調整可能な遅延調整回路とを備えたものである。

前記構成により、水平同期期間内等の所定期間内分の同一アドレスに互いに異なるアドレスのデータを複数回繰り返し書き換え、メモリ容量を削減しつつ、書き込み開始位置と読み出し開始位置とを遅延調整するため、メモリの書き込みデータと読み出しデータとがデータの追い越しや追い越されを生じたりすることなく、第1のクロックから第2のクロックへデータが変換される。

【0011】

本発明の請求項4記載のクロック変換装置は、上記書き込みアドレスの最大値の倍数が上記所定期間内に上記第1のクロックでサンプリングされたデータのサンプル数付近となる書き込みアドレス数を用いて上記メモリに記憶し、上記読み出しアドレスの最大値の倍数が上記第2のクロックでサンプリングされたデータのサンプル数付近となる読み出しアドレス数を用いるようにしたものである。

前記構成により、書き込み開始位置と読み出し開始位置とを最大アドレス数の半分に遅延調整するため、メモリの書き込みデータと読み出しデータとがデータの追い越しや追い越されを生じたりすることなく、第1のクロックから第2のクロックへデータが変換される。

【0012】

本発明の請求項5記載のクロック変換装置は、請求項3記載のクロック変換装

置において、上記書き込みアドレスの最大値の倍数が上記所定期間内に上記第1のクロックでサンプリングされたデータのサンプル数付近となる書き込みアドレスを用いて上記メモリに記憶し、上記書き込みアドレスの最大値と最大値が等しい読み出しアドレスを用いるようにしたものである。

前記構成によれば、書き込み開始位置と読み出し開始位置とを最大アドレス数の半分に遅延調整するため、メモリの書き込みデータと読み出しデータとがデータの追い越しや追い越されを生じたりすることなく、第1のクロックから第2のクロックへデータが変換される。

【0013】

本発明の請求項6記載のクロック変換装置は、請求項1ないし5のいずれかに記載のクロック変換装置において、上記所定期間を1水平同期期間としたものである。

前記構成によれば、1水平同期期間分に相当する容量が必要なメモリの容量が削減される。

【0014】

本発明の請求項7記載のクロック変換装置は、請求項1ないし5のいずれかに記載のクロック変換装置において、上記第1のカウンタ回路部は、上記第1のクロックをカウントして、上記書き込みアドレスを作成する書き込みアドレスカウンタと、上記書き込みアドレスカウンタが出力した書き込みアドレスと設定可能な書き込み最大値とを比較し、当該書き込みアドレスと書き込み最大値とが等しくなった時に上記書き込みアドレスカウンタをリセットする書き込み最大値リミッタとを有するようにしたものである。

前記構成によれば、第1のカウンタ部を、リセット機能付きのカウンタとそのカウント値が上限値に達した時カウンタをリセットする比較回路とで実現できるため、第1のカウンタ部が小規模な回路構成で実現される。

【0015】

本発明の請求項8記載のクロック変換装置は、請求項1ないし5のいずれかに記載のクロック変換装置において、上記第2のカウンタ回路部は、上記第2のクロックをカウントし、複数回にわけて上記メモリに書き込まれた所定期間内分の

データの読み出しを可能とするように、上記メモリの読み出しアドレスを作成するようにしたものである。

前記構成によれば、上記第2のカウンタ回路部が第1のカウンタ回路部と同様の構成で実現される。

【0016】

本発明の請求項9記載のクロック変換装置は、請求項1ないし5のいずれかに記載のクロック変換装置において、上記第2のカウンタ回路部は、上記第2のクロックをカウントし、複数回にわけて上記メモリに書き込まれた所定期間内分のデータの読み出しを可能とするように、上記メモリの読み出しアドレスを作成するようにしたものである。

前記構成によれば、第2のカウンタ部を、リセット機能付きのカウンタとそのカウント値が上限値に達した時カウンタをリセットする比較回路とで実現できるため、第2のカウンタ部が小規模な回路構成で実現される。

【0017】

本発明の請求項10記載のクロック変換方法は、第1のクロックに同期したデータを第2のクロックに同期したデータに変換するクロック変換方法であって、所定期間内分のデータの記憶に要するアドレスよりも少ないアドレスを有し、書き込み用クロックと読み出し用クロックにより書き込み動作と読み出し動作が互いに独立して実行可能なメモリに対し、所定期間内分のデータを複数回にわけて書き込みを行うように上記第1のクロックに基づいて書き込みアドレスを発生し、上記所定期間分のデータを上記メモリより複数回にわけて読み出しを行うように上記第2のクロックに基づいて読み出しアドレスを発生するようにしたものである。

前記構成により、水平同期期間内等の所定期間内分のデータをこれより容量の少ないメモリに複数回にわけて書き込むことで、メモリ容量を削減しつつ、メモリの書き込みデータと読み出しデータとがデータの追い越しや追い越されを生じたりすることなく、第1のクロックから第2のクロックへデータが変換される。

【0018】

【発明の実施の形態】

実施の形態 1.

以下、本発明の実施の形態について、図面を参照しながら説明する。

図 1 は本実施の形態におけるクロック変換装置の構成を示すブロック図である。図 1 において、101 は書き込みアドレス制御用の書き込みアドレスカウンタであり、第 1 のクロック（書き込み用クロック）S109 をアップカウントしてそのカウント値としてメモリ 107 の書き込みアドレス S102 を出力し、水平同期パルス信号（書き込み基準パルス）S101 によりリセットされる。102 は書き込みアドレス用の書き込み最大値リミッタ（最大値リミッタ回路）であり、書き込みアドレス S102 が最大値制御信号 S112 に等しくなった場合、書き込みアドレスリセット信号 S103 により書き込みアドレスカウンタ 101 をリセットする。10 はこれら書き込みアドレスカウンタ 101 および書き込み最大値リミッタ 102 からなる第 1 のカウンタ回路部であり、第 1 のクロック S109 をカウントし、1 水平周期（所定期間）内分のデータを複数回にわけてメモリ 107 に書き込みを可能とするようにメモリ 107 の書き込みアドレス S102 を作成する。

【0019】

103 は遅延差信号 S113 の値に応じて水平同期パルス S101 を遅延させる遅延調整回路、104 は読み出しアドレス制御用の読み出しアドレスカウンタ（カウンタ回路）であり、第 2 のクロック（読み出し用クロック）S110 をアップカウントしてそのカウント値としてメモリ 107 の読み出しアドレス S105 を出力し、遅延調整回路 103 からの読み出し基準パルス S104 によりリセットされる。105 は読み出しアドレス用の読み出し最大値リミッタ（最大値リミッタ回路）であり、読み出しアドレス S105 が最大値制御信号 S112 に等しくなった場合、読み出しアドレスリセット信号 S106 により読み出しアドレスカウンタ 104 をリセットする。11 はこれら読み出しアドレスカウンタ 104 および読み出し最大値リミッタ 105 からなる第 2 のカウンタ回路部であり、第 2 のクロック S110 をカウントし、1 水平周期（所定期間）内分のデータを複数回にわけてメモリ 107 から読み出しを可能とするようにメモリ 107 の読み出しアドレス S105 を作成する。

【0020】

106は入力された映像信号S107の補間データ作成用の補間回路、107は書き込みと読み出しとが別々に制御できるメモリであり、1水平同期期間分の映像信号（所定期間分のデータ）を記憶するのに必要なアドレスよりも少ないアドレスを有し、補間された映像信号S108を入力とし、出力信号S111を出力する。

【0021】

以上のように構成されたクロック変換装置において、以下にその動作について説明する。

S101は水平同期パルス信号で、書き込みアドレスの開始位置を決定する基準パルス（書き込み開始基準信号）である。水平同期パルス信号S101が入力されると、書き込みアドレスカウンタ101は初期状態であるアドレス値“0”にリセットされてその出力である書き込みアドレスS102がこの値“0”に更新され、第1のクロックS109が入力される毎に該書き込みアドレスS102はカウントアップしていく。ここで第1のクロックS109が第2のクロックS110より周波数が高くなるように設定した場合、補間回路106によりサンプリング点を間引きながらメモリ107へ書き込むため、この間引き処理が行なわれているサンプル時は書き込みアドレスカウンタ101はカウントアップを停止し、メモリ107にはデータを書き込まないようにしている。

【0022】

このように、書き込みアドレスカウンタ101は水平同期パルス信号S101をカウントして書き込みアドレスS102を出力するが、書き込み最大値リミッタ102は書き込みアドレスS102と最大値制御信号S112で規定された書き込みアドレス最大値とを比較し、これらが同値になった場合、書き込みアドレスリセット信号S103を出力し、この書き込みアドレスリセット信号S103により書き込みアドレスカウンタ101は初期状態であるアドレス値“0”にリセットする処理が行なわれる。

【0023】

S109はメモリ107の書き込み側のクロックである第1のクロックであり

、第1のクロックS109で処理された入力映像信号S107は、補間回路106によりサンプリング数を少なくするあるいは拡大処理される。補間回路106により補間処理された映像信号S108は第1のクロックS109と書き込みアドレスS102によりメモリ107の指定されたアドレスに書き込まれる。

【0024】

水平同期パルスS101は遅延調整回路103に入力され、遅延調整回路103は水平同期パルスS101を基準として、遅延差設定レジスタで決定した遅延差信号S113に基づく遅延量を持った読み出し基準パルスS104を出力し、読み出しアドレスの開始位置を決定する。読み出し基準パルスS104が入力されると、読み出しアドレスカウンタ104は初期状態であるアドレス値“0”にリセットされてその出力である読み出しアドレスS105がこの値“0”に更新され、第2のクロックS110が入力される毎に読み出しアドレスS105がカウントアップしてゆく。読み出し最大値リミッタ105は、読み出しアドレスS105と最大値制御信号S112で規定されたアドレス最大値とを比較し、これらが同値になった場合、読み出しアドレスリセット信号S106を出力し、この読み出しアドレスリセット信号S106により読み出しアドレスカウンタ104は初期状態であるアドレス値“0”にリセット処理が行なわれる。

【0025】

S110はメモリ107の読み出し側の第2のクロックであり、メモリ107に書き込まれた信号は、第2のクロックS110の発生毎に、読み出しアドレスS105に応じて出力信号S111として読み出され、これにより、第1のクロックS109で処理された入力信号を第2のクロックS110に変換を行ない、出力信号を得ることができる。

【0026】

図2は、NTSC方式において標準信号が入力され、第1のクロックS109と第2のクロックS110として、ともに色副搬送波周波数3.58MHzの4倍のサンプリング周波数を使用し、水平方向の間引き処理がない場合の水平サンプリング点とメモリのライトアドレスとリードアドレスとの関係を示しており、水平方向の間引きがなく、アドレス数が“256”で構成されたメモリを使用し

た場合を一例として示している。横軸は水平サンプリング点を示しており、水平サンプリング数が1つ増加する毎にアドレス値が“1”ずつ増加し、アドレスが最大数を超えると初期アドレス値“0”に戻ることを表わしている。この場合、書き込みアドレスの最大値“255”の倍数が水平期間内に第1のクロックでサンプリングされたデータのサンプル数“910”付近となる書き込みアドレスを用いてメモリ107に記憶し、上記書き込みアドレスの最大値と最大値が等しい読み出しアドレスを用いるようにしている。

【0027】

図3は、NTSC方式において標準信号が入力され、第1のクロックS109と第2のクロックS110として、ともに色副搬送波周波数3.58MHzの4倍のサンプリング周波数を使用し、水平方向の間引き処理がない場合の水平サンプリング点とメモリのライトアドレスとリードアドレスとの関係を示しており、メモリの書き込みと読み出し制御においてリミッタ処理を加えた際の水平サンプリング点とメモリのライトアドレスとリードアドレスとの関係を示しており、アドレス数が“256”で構成した場合を一例として示している。横軸は水平サンプリング点を示しており、水平サンプリング数が1つ増加する毎にアドレス値が“1”ずつ増加し、アドレスが最大数を超えると初期アドレス値“0”に戻ることを表わしている。

【0028】

この場合、書き込みアドレスの最大値“227”の倍数が水平期間内に第1のクロックでサンプリングされたデータのサンプル数“910”付近となる書き込みアドレスを用いてメモリ107に記憶し、上記書き込みアドレスの最大値と最大値が等しい読み出しアドレスを用いるようにしている。

【0029】

図2において、水平同期パルスS101が入力された際、書き込みアドレスS102はアドレス値“0”に初期リセットされ、第1のクロック毎に書き込みアドレスS102はカウントアップされる。NTSC放送では1ライン期間のメモリサイズが910アドレスであるので、最大値制御信号S112の最大値を“255”に設定すると、最大値“255”を超えるとアドレス値は“0”に戻るこ

との繰り返しを次の水平同期パルス S 1 0 1 が入力されるまで 3 回繰り返し、さらに、次の水平同期パルス S 1 0 1 が入力されてリセットされるまでの書き込みアドレス S 1 1 2 のライン最終値は “1 4 1” となる ($910 = 256 \times 3 + 142$)。読み出しアドレス S 1 0 5 のスタート位置は遅延制御信号 S 1 1 3 により例えば書き込みアドレスのライン最終値の半分の値 “7 1” を遅延差として設定することにより、例えば N T S C 方式の非標準信号であるビデオテープレコーダを再生した場合に水平同期パルスが乱されて左右に 7 1 クロックのずれが発生したとしても、メモリの書き込みデータを読み出す際に、データの追い越し、追い越されが発生せずに標準信号を構成することができる。

【 0 0 3 0 】

図 3 において、水平同期パルス S 1 0 1 が入力された際、書き込みアドレス S 1 0 2 はアドレス値 “0” に初期リセットされ、第 1 のクロック毎に書き込みアドレス S 1 0 2 はカウントアップされ、書き込みアドレス S 1 1 2 の最大値を “2 2 7” に設定すると、最大値 “2 2 7” を超えるとアドレス値は “0” に戻ることの繰り返しを次の水平同期パルス S 1 0 1 が入力されるまで 3 回繰り返し、さらに、次の水平同期パルス S 1 0 1 が入力されてリセットされるまでの書き込みアドレス S 1 1 2 のライン最終値は “2 2 5” となる ($910 = 228 \times 3 + 226$)。読み出しアドレス S 1 0 5 のスタート位置は遅延制御信号 S 1 1 3 により例えば書き込みアドレスのライン最終値の半分の値 “1 1 2” を遅延差として設定することにより、N T S C 方式の非標準信号であるビデオテープレコーダを再生した場合に水平同期パルスが乱されて左右に 1 1 2 クロックのずれが発生したとしてもメモリの書き込みデータを読み出す際に、データの追い越し、追い越されが発生せずに標準信号を構成することができる。ここで、最大メモリアドレス値の整数倍が標準信号状態で規定の水平サンプリング数に近くなるように最大値制御信号 S 1 1 2 を設定することにより、非標準状態の信号が入力されて、水平同期パルスが乱されてもデータの追い越し、追い越されが発生しない範囲を大幅に広げることができる。

【 0 0 3 1 】

図 4 は P A L 方式において標準信号が入力され、第 1 のクロック S 1 0 9 と第

2のクロックS110として、色副搬送波周波数4.43MHzの4倍のサンプリング周波数をとともに使用し、水平方向の間引き処理がない場合の水平サンプリング点とメモリのライトアドレスとリードアドレスとの関係を示しており、水平方向の間引きがなく、アドレス数が“256”で構成されたメモリを使用した場合を一例として示している。横軸は水平サンプリング点を示しており、水平サンプリング数が1つ増加する毎にアドレス値が“1”ずつ増加し、アドレスが最大数を超えると初期アドレス値“0”に戻ることを表わしている。

【0032】

図5はPAL放送において標準信号が入力され、第1のクロックS109と第2のクロックS110として、色副搬送波周波数4.43MHzの4倍のサンプリング周波数を使用し、水平方向の間引き処理がない場合の水平サンプリング点とメモリのライトアドレスとリードアドレスの関係を示しており、メモリの書き込みと読み出し制御においてリミッタ処理を加えた際の水平サンプリング点とメモリのライトアドレスとリードアドレスの関係を示しており、アドレス数が“256”で構成した場合を一例として示している。横軸は水平サンプリング点を示しており、水平サンプリング数が1つ増加する毎にアドレス値が“1”ずつ増加し、アドレスが最大数を超えると初期アドレス値“0”に戻ることを表わしている。

【0033】

図4において、水平同期パルスS101が入力された際、書き込みアドレスS102はアドレス値“0”に初期リセットされ、第1のクロック毎に書き込みアドレスS102はカウントアップされる。PAL放送では1ライン期間のメモリサイズが1135アドレスであるので、最大値制御信号S112の最大値を“255”に設定すると、最大値255を超えるとアドレス値は“0”に戻るものの繰り返しを次の水平同期パルスS101が入力されるまで4回繰り返し、さらに、次の水平同期パルスS101が入力されてリセットされるまでの書き込みアドレスS112のライン最終値は“110”となる($1135 = 256 \times 4 + 11$)。読み出しアドレスS105のスタート位置は遅延制御信号S113により例えば書き込みアドレスのライン最終値の半分の値“55”を遅延差として設定

することにより、例えばPAL方式の非標準信号であるビデオテープレコーダを再生した場合に水平同期パルスが乱されて左右に55クロックのずれが発生したとしてもメモリの書き込みデータを読み出す際に、データの追い越し、追い越されが発生しない回路を構成することができる。

【0034】

図5において、水平同期パルスS101が入力された際、書き込みアドレスS102はアドレス値“0”に初期リセットされ、第1のクロック毎に書き込みアドレスS102はカウントアップされ、書き込みアドレスS112の最大値を“226”に設定すると、最大値“226”を超えるとアドレス値は“0”に戻るこの繰り返しを次の水平同期パルスS101が入力されるまで4回繰り返し、さらに、次の水平同期パルスS101が入力されてリセットされるまでの書き込みアドレスS112のライン最終値は“226”となる（ $1135 = 227 \times 5$ ）。読み出しアドレスS105のスタート位置は遅延制御信号S113により例えば書き込みアドレスのライン最終値の半分の値“113”を遅延差として設定することにより、PAL方式の非標準信号であるビデオテープレコーダを再生した場合に水平同期パルスが乱されて左右に113クロックのずれが発生したとしてもメモリの書き込みデータを読み出す際に、データの追い越し、追い越されが発生せずに構成することができる。ここで、最大メモリアドレス値の整数倍が標準信号状態で規定の水平サンプリング数に近くなるように最大値制御信号S112を設定することにより、非標準状態の信号が入力されて、水平同期パルスが乱されてもデータの追い越し、追い越されが発生しない範囲を大幅に広げることができる。

【0035】

図6は最大メモリアドレス数を“128”で構成した場合を示しており、NTSC方式において標準信号が入力され、第1のクロックS109と第2のクロックS110として、色副搬送波周波数3.58MHzの4倍のサンプリング周波数を使用し、水平方向の間引き処理がない場合の水平サンプリング点とメモリのライトアドレスとリードアドレスとの関係を示しており、メモリの書き込みと読み出し制御においてリミッタ処理を加えた際の水平サンプリング点とメモリのラ

イトアドレスとリードアドレスの関係を示している。横軸は水平サンプリング点を示しており、水平サンプリング数が1つ増加する毎にアドレス値が“1”ずつ増加し、アドレスが最大数を超えると初期アドレス値“0”に戻ることを表わしている。

【0036】

図6において、水平同期パルスS101が入力された際、書き込みアドレスS102はアドレス値“0”に初期リセットされ、第1のクロック毎に書き込みアドレスS102はカウントアップされる。最大値制御信号S112の最大値を“113”に設定すると、最大値113を超えるとアドレス値は“0”に戻るものの繰り返しを次の水平同期パルスS101が入力されるまで7回繰り返し、さらに、次の水平同期パルスS101が入力されてリセットされるまでの書き込みアドレスS112のライン最終値は“111”となる（ $910 = 114 \times 7 + 112$ ）。読み出しアドレスS105のスタート位置は遅延制御信号S113で書き込みアドレスのライン最終値の半分の値“56”を遅延差として設定することにより、例えばNTSC方式の非標準信号であるビデオテープレコーダを再生した場合に水平同期パルスが乱されて左右に最大56クロックのずれの発生までメモリの書き込みデータを読み出す際に、データの追い越し、追い越されが発生せずに標準信号を構成することができる。ここで、最大メモリアドレス値の整数倍が標準信号状態で規定の水平サンプリング数に近くなるように最大値制御信号S112を設定することにより、非標準状態の信号が入力されて、水平同期パルスが乱されてもデータの追い越し、追い越されが発生しない範囲を大幅に広げることができる。

【0037】

このように、本実施の形態1のクロック変換装置によれば、第1のクロックで処理された信号を第2のクロックに変換する際に、1水平ライン期間の映像信号を保存するメモリのアドレス数を大幅に減らし、1水平ライン期間の映像信号を複数回にわけて書き込み、読み出しを行うことにより、メモリの容量削減ができ、1つの放送方式に対応する場合のみならず、複数の放送方式に対応する場合であっても回路規模を削減することができる。また、メモリアドレスの最大値の整

数倍が水平期間のサンプル数の値に近くなるように設定することにより、ビデオテープレコーダを再生した際などの非標準信号が入力されて水平同期パルスが乱された場合においても、書き込まれたデータを追い越し、追い越されがなく、メモリから読み出すことができる。

【 0 0 3 8 】

なお、上記実施の形態の例では、第 1 のクロックと第 2 のクロックは同一の周波数を用いて説明したが、周波数の異なる異種クロックとしても構わない。

また、書き込みと読み出しを別々のクロックに基づいて独立して行うことができるメモリに、このメモリより大容量のデータを複数回にわけて書き込みを行い、複数回に分けて読み出しを行うことによりこのデータを読み出す方法を実行するのであれば、どのようなハードウェア構成で実現されるものであってもよい。

【 0 0 3 9 】

さらに、上記実施の形態 1 では、メモリの書き込みアドレスの最大値と読み出しアドレスの最大値とを同じ値となるように設定したが、これらは異なる値であってもよく、解像度が変化する以外は上記実施の形態 1 と同様の効果を奏する。

【 0 0 4 0 】

【発明の効果】

以上のように、本発明の請求項 1 記載のクロック変換装置によれば、第 1 のクロックに同期したデータを第 2 のクロックに同期したデータに変換するクロック変換装置であって、所定期間内のデータの記憶に要するアドレスよりも少ないアドレスを有し、書き込み用クロックと読み出し用クロックにより書き込み動作と読み出し動作が互いに独立して実行可能なメモリと、上記第 1 のクロックをカウントし、所定期間内分のデータを複数回にわけて上記メモリに書き込みを可能とするように、上記メモリの書き込みアドレスを作成する第 1 のカウンタ回路部と、上記第 2 のクロックをカウントし上記メモリの読み出しアドレスを作成する第 2 のカウンタ回路部とを備えたので、水平同期期間内等の所定期間内分のデータをこれより容量の少ないメモリに複数回にわけて書き込むことで、メモリ容量を削減しつつ、メモリの書き込みデータと読み出しデータとがデータの追い越しや追い越されを生じたりすることなく、第 1 のクロックから第 2 のクロックヘデ

ータを変換できる効果がある。

【 0 0 4 1 】

また、本発明の請求項 2 記載のクロック変換装置によれば、第 1 のクロックに同期したデータを第 2 のクロックに同期したデータに変換するクロック変換装置であって、所定期間分内のデータの記憶に要するアドレスよりも少ないアドレスを有し、書き込み用クロックと読み出し用クロックにより書き込み動作と読み出し動作が互いに独立して実行可能なメモリと、上記メモリの書き込み開始基準タイミングを示す書き込み開始基準信号の入力により上記第 1 のクロックのカウントを開始し、所定期間内分のデータを複数回にわけて上記メモリに書き込みを可能とするように、上記メモリの書き込みアドレスを作成する第 1 のカウンタ回路部と、上記メモリの読み出し開始基準タイミングを示す読み出し開始基準信号から上記第 2 のクロックをカウントし上記メモリの読み出しアドレスを作成する第 2 のカウンタ回路部とを備えるようにしたので、水平同期期間内等の所定期間内分のデータをこれより容量の少ないメモリに複数回にわけて書き込むことで、メモリ容量を削減しつつ、メモリの書き込みデータと読み出しデータとがデータの追い越しや追い越されを生じたりすることなく、第 1 のクロックから第 2 のクロックへデータを変換できる効果がある。

【 0 0 4 2 】

また、本発明の請求項 3 記載のクロック変換装置によれば、第 1 のクロックに同期したデータを第 2 のクロックに同期したデータに変換するクロック変換装置であって、所定期間分内のデータの記憶に要するアドレスよりも少ないアドレスを有し、書き込み用クロックと読み出し用クロックにより書き込み動作と読み出し動作が互いに独立して実行可能なメモリと、上記メモリの書き込み開始基準タイミングを示す書き込み開始基準信号の入力により上記第 1 のクロックのカウントを開始し、所定期間内分のデータを複数回にわけて上記メモリに書き込みを可能とするように、上記メモリの書き込みアドレスを作成する第 1 のカウンタ回路部と、上記メモリの読み出し開始基準タイミングを示す読み出し開始基準信号から上記第 2 のクロックをカウントし上記メモリの読み出しアドレスを作成する第 2 のカウンタ回路部と、上記書き込み開始基準信号を遅延し上記読み出し開始基

準信号を生成する、遅延時間が調整可能な遅延調整回路とを備えるようにしたので、水平同期期間内等の所定期間内分の同一アドレスに互いに異なるアドレスのデータを複数回を繰り返し書き換え、メモリ容量を削減しつつ、書き込み開始位置と読み出し開始位置とを遅延調整するため、メモリの書き込みデータと読み出しデータとがデータの追い越しや追い越されを生じたりすることなく、第1のクロックから第2のクロックへデータを変換できる効果がある。

【 0 0 4 3 】

また、本発明の請求項4記載のクロック変換装置によれば、上記書き込みアドレスの最大値の倍数が上記所定期間内に上記第1のクロックでサンプリングされたデータのサンプル数付近となる書き込みアドレス数を用いて上記メモリに記憶し、上記読み出しアドレスの最大値の倍数が上記第2のクロックでサンプリングされたデータのサンプル数付近となる読み出しアドレス数を用いるようにしたので、書き込み開始位置と読み出し開始位置とを最大アドレス数の半分に遅延調整するため、メモリの書き込みデータと読み出しデータとがデータの追い越しや追い越されを生じたりすることなく、第1のクロックから第2のクロックへデータを変換できる効果がある。

【 0 0 4 4 】

また、本発明の請求項5記載のクロック変換装置によれば、請求項3記載のクロック変換装置において、上記書き込みアドレスの最大値の倍数が上記所定期間内に上記第1のクロックでサンプリングされたデータのサンプル数付近となる書き込みアドレスを用いて上記メモリに記憶し、上記書き込みアドレスの最大値と最大値が等しい読み出しアドレスを用いるようにしたので、書き込み開始位置と読み出し開始位置とを最大アドレス数の半分に遅延調整するため、メモリの書き込みデータと読み出しデータとがデータの追い越しや追い越されを生じたりすることなく、第1のクロックから第2のクロックへデータを変換できる効果がある。

【 0 0 4 5 】

また、本発明の請求項6記載のクロック変換装置によれば、請求項1ないし5のいずれかに記載のクロック変換装置において、上記所定期間を1水平同期期間

としたので、1 水平同期期間分に相当する容量が必要なメモリの容量を削減できる効果がある。

【 0 0 4 6 】

また、本発明の請求項 7 記載のクロック変換装置によれば、請求項 1 ないし 5 のいずれかに記載のクロック変換装置において、上記第 1 のカウンタ回路部は、上記第 1 のクロックをカウントして、上記書き込みアドレスを作成する書き込みアドレスカウンタと、上記書き込みアドレスカウンタが出力した書き込みアドレスと設定可能な書き込み最大値とを比較し、当該書き込みアドレスと書き込み最大値とが等しくなった時に上記書き込みアドレスカウンタをリセットする書き込み最大値リミッタとを有するようにしたので、第 1 のカウンタ部を、リセット機能付きのカウンタとそのカウント値が上限値に達した時カウンタをリセットする比較回路とで実現できるため、第 1 のカウンタ部を小規模な回路構成で実現できる効果がある。

【 0 0 4 7 】

また、本発明の請求項 8 記載のクロック変換装置によれば、請求項 1 ないし 5 のいずれかに記載のクロック変換装置において、上記第 2 のカウンタ回路部は、上記第 2 のクロックをカウントし、複数回にわけて上記メモリに書き込まれた所定期間内分のデータの読み出しを可能とするように、上記メモリの読み出しアドレスを作成するようにしたので、上記第 2 のカウンタ回路部を第 1 のカウンタ回路部と同様の構成で実現できる効果がある。

【 0 0 4 8 】

また、本発明の請求項 9 記載のクロック変換装置によれば、請求項 1 ないし 5 のいずれかに記載のクロック変換装置において、上記第 2 のカウンタ回路部は、上記第 2 のクロックをカウントし、複数回にわけて上記メモリに書き込まれた所定期間内分のデータの読み出しを可能とするように、上記メモリの読み出しアドレスを作成するようにしたので、第 2 のカウンタ部を、リセット機能付きのカウンタとそのカウント値が上限値に達した時カウンタをリセットする比較回路とで実現できるため、第 2 のカウンタ部を小規模な回路構成で実現できる効果がある。

【 0 0 4 9 】

また、本発明の請求項 1 0 記載のクロック変換方法によれば、第 1 のクロックに同期したデータを第 2 のクロックに同期したデータに変換するクロック変換方法であって、所定期間内のデータの記憶に要するアドレスよりも少ないアドレスを有し、書き込み用クロックと読み出し用クロックにより書き込み動作と読み出し動作が互いに独立して実行可能なメモリに対し、所定期間内分のデータを複数回にわけて書き込みを行うように上記第 1 のクロックに基づいて書き込みアドレスを発生し、上記所定期間分のデータを上記メモリより複数回にわけて読み出しを行うように上記第 2 のクロックに基づいて読み出しアドレスを発生するようにしたので、水平同期期間内等の所定期間内分のデータをこれより容量の少ないメモリに複数回にわけて書き込むことで、メモリ容量を削減しつつ、メモリの書き込みデータと読み出しデータとがデータの追い越しや追い越されを生じたりすることなく、第 1 のクロックから第 2 のクロックへデータを変換できる効果がある。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 に係わるクロック変換装置の構成を示すブロック図

【図 2】

本発明の実施の形態 1 に係わるクロック変換装置の N T S C 方式の 2 5 6 アドレスメモリ使用時の書き込み読み出しアドレス図

【図 3】

本発明の実施の形態 1 に係わるクロック変換装置の N T S C 方式の 2 5 6 アドレスメモリ使用時の書き込み読み出しアドレス図

【図 4】

本発明の第 1 の実施の形態に係わるクロック変換装置の P A L 方式の 2 5 6 アドレスメモリ使用時の書き込み読み出しアドレス図

【図 5】

本発明の第 1 の実施の形態に係わるクロック変換装置の P A L 方式の 2 5 6 アドレスメモリ使用時の書き込み読み出しアドレス図

【図 6】

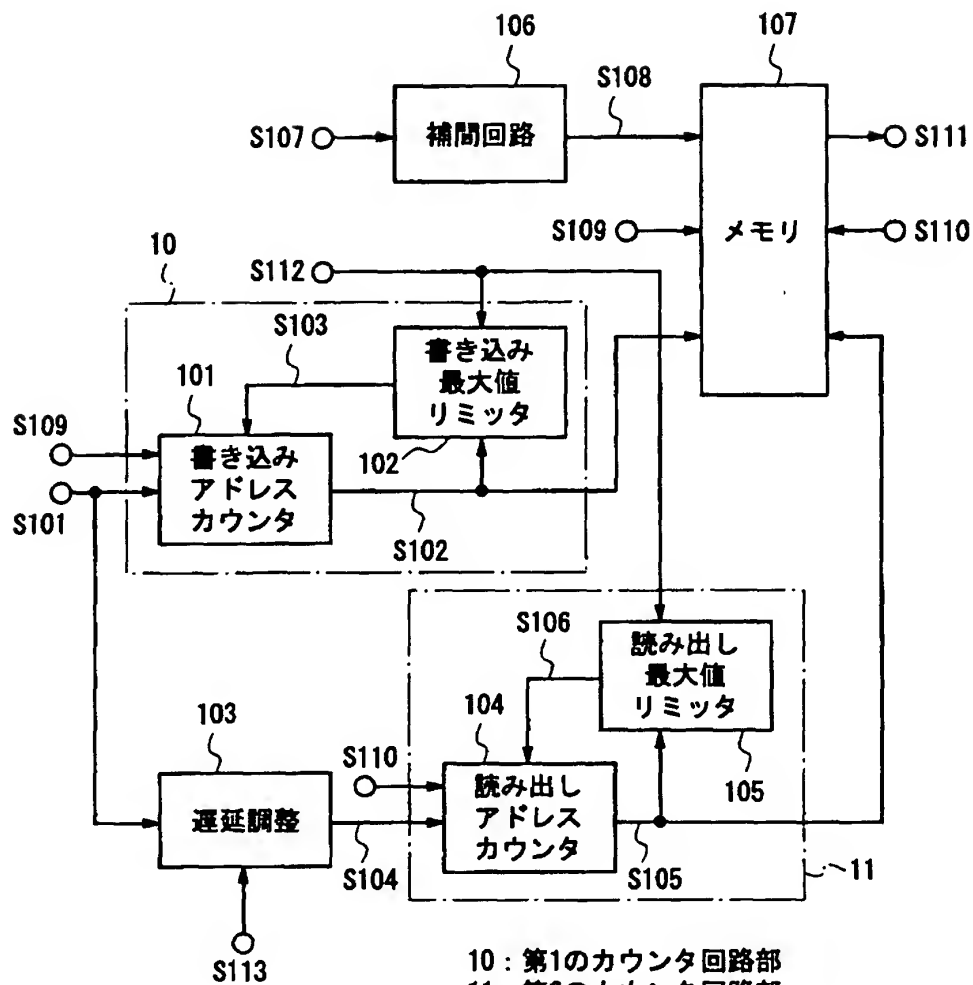
本発明の第 1 の実施の形態に係わるクロック変換装置の N T S C 方式の 1 2 8
アドレスメモリ使用時の書き込み読み出しアドレス図

【符号の説明】

- 1 0 第 1 のカウンタ回路部
- 1 1 第 2 のカウンタ回路部
- 1 0 1 書き込みアドレスカウンタ
- 1 0 2 書き込み最大値リミッタ
- 1 0 3 遅延調整回路
- 1 0 4 読み出しアドレスカウンタ
- 1 0 5 読み出し最大値リミッタ
- 1 0 6 補間回路
- 1 0 7 書き込みと読み出しとが別々に制御できるメモリ
- S 1 0 1 水平同期パルス
- S 1 0 2 書き込みアドレス
- S 1 0 4 読み出し基準パルス
- S 1 0 5 読み出しアドレス
- S 1 0 8 補間処理された映像信号
- S 1 0 9 第 1 のクロック
- S 1 1 0 第 2 のクロック
- S 1 1 1 出力信号

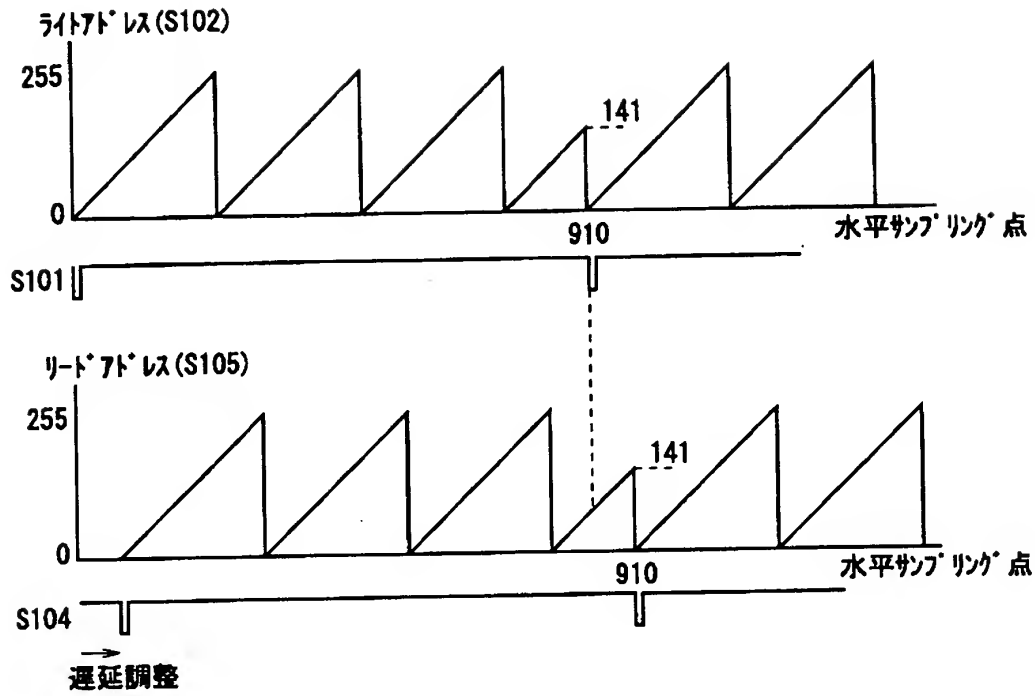
【書類名】 図面

【図 1】

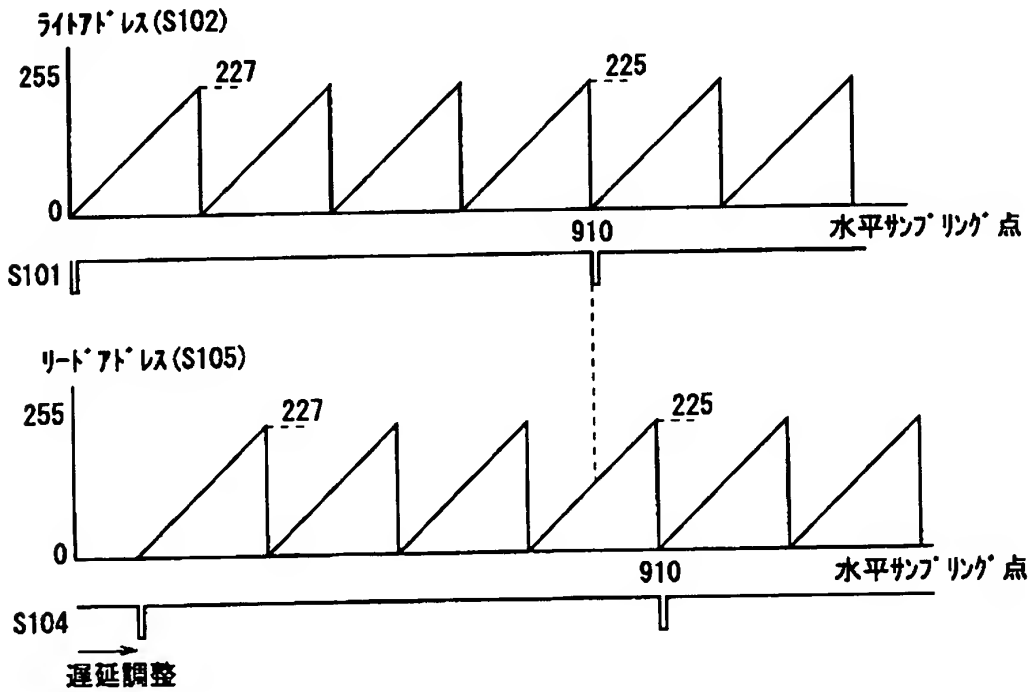


- 10 : 第1のカウンタ回路部
- 11 : 第2のカウンタ回路部
- S101 : 水平同期パルス
- S102 : 書き込みアドレス
- S104 : 読み出し基準パルス
- S105 : 読み出しアドレス
- S106 : 読み出し最大値リミッタ
- S108 : 補間処理された映像信号
- S109 : 第1のクロック
- S110 : 第2のクロック
- S111 : 出力信号

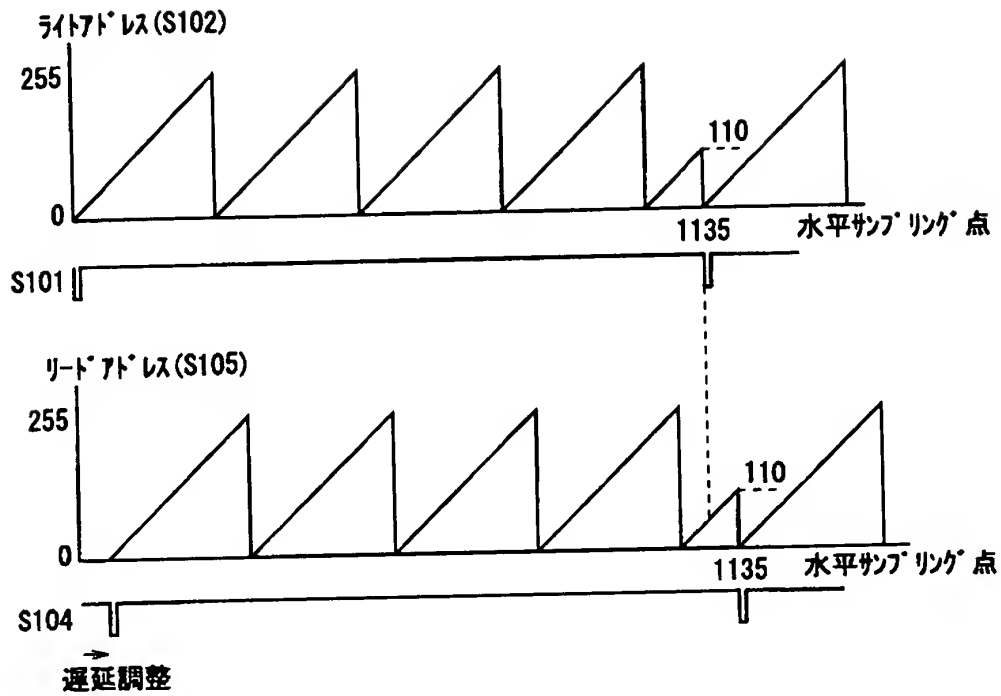
【図 2】



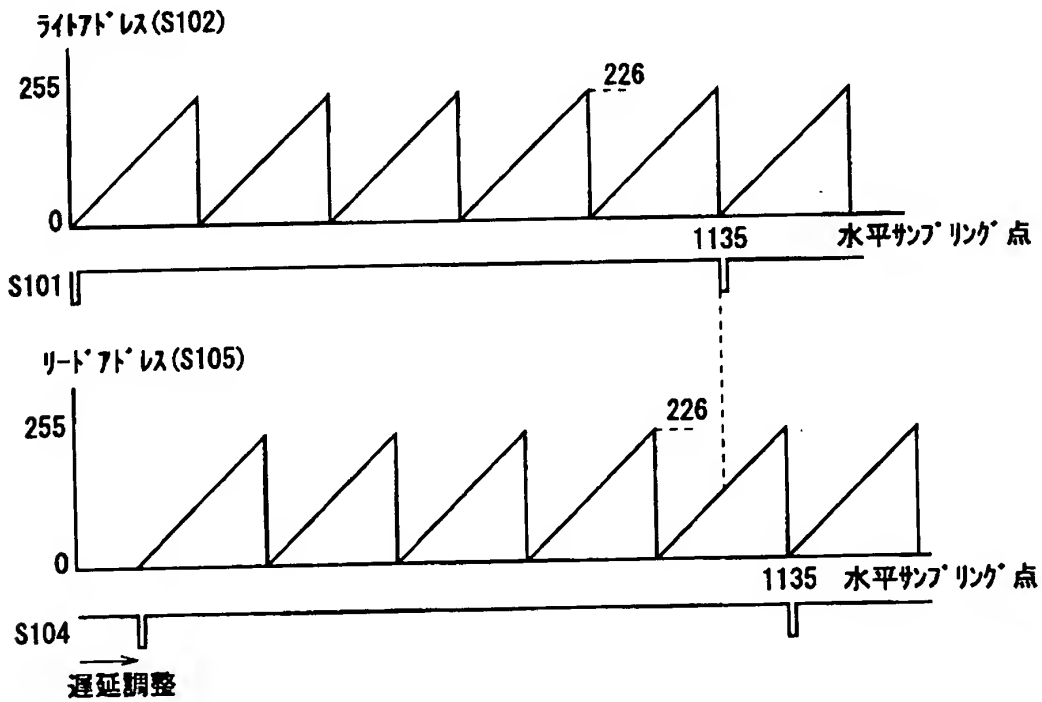
【図 3】



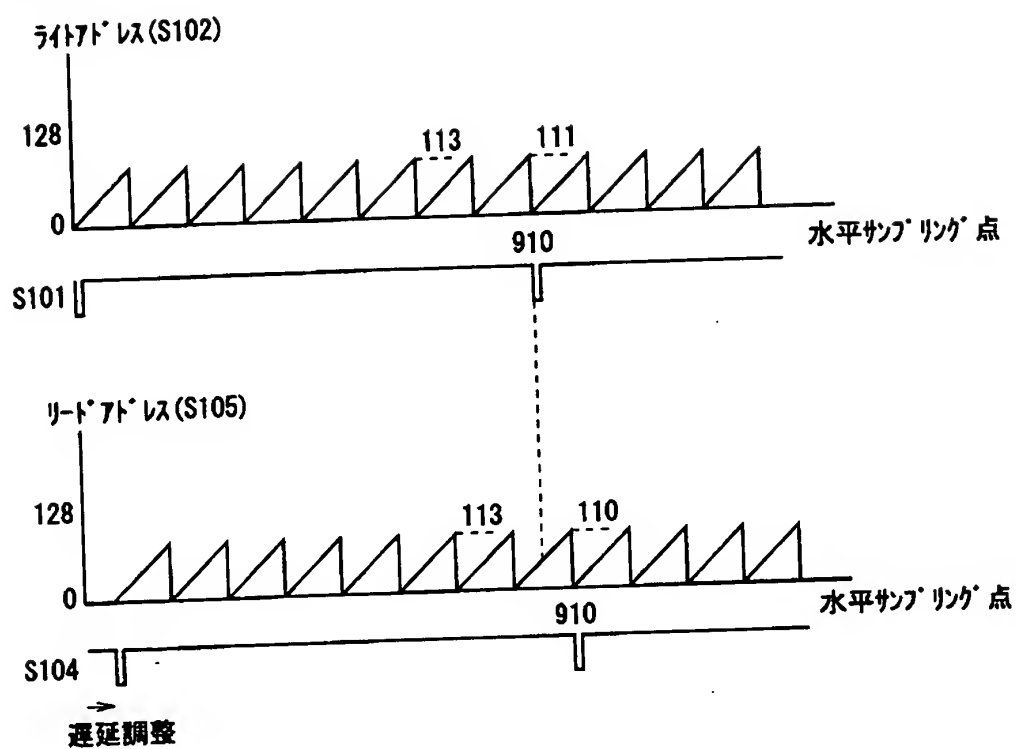
【図 4】



【図 5】



【図6】



【書類名】 要約書

【要約】

【課題】 デジタル信号を水平方向に圧縮拡大処理する際に水平 1 ライン期間のデータを保持できる 1 ラインメモリが必要であり、回路規模が大きくなるという問題を有していた。

【解決手段】 書き込みと読み出しとが独立して動作できるメモリ 1 0 7 と、書き込みアドレスを制御する第 1 のカウンタ回路部 1 0 と、書き込み開始基準信号から読み出し開始基準信号の遅延時間を調整できる遅延調整回路 1 0 3 と、読み出し開始基準信号から読み出しアドレスを制御する第 2 のカウンタ回路部 1 1 とからなり、水平同期期間内分のデータを複数回にわけて書き込むことで、メモリ 1 0 7 容量を削減しつつ、書き込み開始位置と読み出し開始位置とを遅延調整するようにした。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社